

MULTIPROCESSOR DATA PROCESSING SYSTEM

Publication number: RU2139566 (C1)

Publication date: 1999-10-10

Inventor(s): GANAGA S V; GROMOV D V; ZAJTSEVA A L; NIKIFOROV A JU;
SKOROBOGATOV P K; CHUMAKOV A I

Applicant(s): EHKSPERIMENTAL NOE N PROIZV OB; NENIE SP EHLEKTRONNYE SISTEMY

Classification:

- international: G06F15/16; H04B10/00; G06F15/16; H04B10/00; (IPC1-7): G06F15/16; H04B10/00

- European:

Application number: RU19970114997 19970904

Priority number(s): RU19970114997 19970904

Abstract of RU 2139566 (C1)

FIELD: computer engineering. SUBSTANCE: system has computer modules, module-to-module exchange bus control devices, shareable memory units, input/output control devices, data exchange controllers, module-to-module exchange buses, local buses, and asynchronous fiber-optic interconnecting line for processor modules. EFFECT: improved speed and simplified design of system.
2 dwg

Data supplied from the esp@cenet database — Worldwide



(19) RU⁽¹¹⁾ 2 139 566⁽¹³⁾ C1
(51) МПК⁶ G 06 F 15/16, H 04 B 10/00

РОССИЙСКОЕ АГЕНТСТВО
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 97114997/09, 04.09.1997

(24) Дата начала действия патента: 04.09.1997

(46) Дата публикации: 10.10.1999

(56) Ссылки: SU 1436714 A1, 30.12.90. US 4509117 A, 02.04.85. US 4501021 A, 19.02.85. SU 1683039 A1, 07.10.91. SU 1337902 A1, 15.09.87. Хоровиц П. И др. Искусство схемотехники. Издание 3-е, - М.: Мир, 1986, т.2, с.44 - 50, 117 - 118, 122 - 129, 162 - 164, 137 - 139. Амбарцумян М.А. и др. Волоконно-оптические линии связи - становление отечественного рынка. Лазерная техника и оптоэлектроника. - М.: 1992, N 3 - 4, с.6 - 8. Коллман М.Н.Д. Оптические кабели связи. Лазерная техника и оптоэлектроника. - М.: 1992, N 3 - 4, с.41 - 45. Преснухин Л.Н. МикроЭВМ. Семейство ЭВМ "Электроника К1". - М.: Высшая школа, 1988, кн.3, с.9 - 30. Преснухин Л.Н. МикроЭВМ. Персонально-профессиональные ЭВМ. - М.: Высшая школа, 1988, кн.5, с.18 - 22. Стрыгин В.В. и др. Основы вычислительной микропроцессорной техники и программирования, 2-е изд. - М.: Высшая школа, 1989, с.109 - 111, 128 - 139, 141 - 159. Рош У.Л. Библия по техническому обеспечению Уинна Роша. - М.: МХХК, Динамо, 1992, с.37 - 51, 71 - 72, 109 - 113.

(98) Адрес для переписки:
107066, Москва, ул.Новая Басманная 20,
ГосЦНИРТИ, БРИЗ

(71) Заявитель:
Экспериментальное научно-производственное
объединение "Специализированные
электронные системы"

(72) Изобретатель: Ганага С.В.,
Громов Д.В., Зайцева А.Л., Никифоров
А.Ю., Скоробогатов П.К., Чумаков А.И.

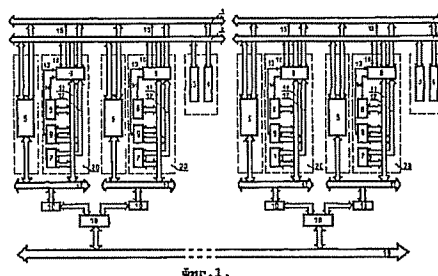
(73) Патентообладатель:
Экспериментальное научно-производственное
объединение "Специализированные
электронные системы"

(54) МНОГОПРОЦЕССОРНАЯ СИСТЕМА ОБРАБОТКИ ДАННЫХ

(57) Реферат:

Многопроцессорная система обработки данных относится к вычислительной технике и может быть использована в высокопроизводительных многопроцессорных системах обработки данных. Техническим результатом заявленного изобретения является повышение быстродействия и упрощение конструкции системы. Для этого система содержит процессорные модули, устройства управления шинами межпроцессорного обмена, блоки общей памяти, устройства управления вводом-выводом, контроллеры обмена данными, шины межпроцессорного обмена,

локальные шины, асинхронную
оптоволоконную межпроцессорную
магистраль. 2 ил.



RU 2 139 566 C1

RU 2 139 566 C1



(19) **RU** ⁽¹¹⁾ **2 139 566** ⁽¹³⁾ **C1**
(51) Int. Cl. ⁶ **G 06 F 15/16, H 04 B 10/00**

RUSSIAN AGENCY
FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 97114997/09, 04.09.1997

(24) Effective date for property rights: 04.09.1997

(46) Date of publication: 10.10.1999

(98) Mail address:
107066, Moskva, ul. Novaja Basmannaja 20,
GosTsNIRTI, BRIZ

(71) Applicant:
Ehksperimental'noe nauchno-proizvodstvennoe
ob"edinenie "Spetsializirovannye
ehlektronnye sistemy"

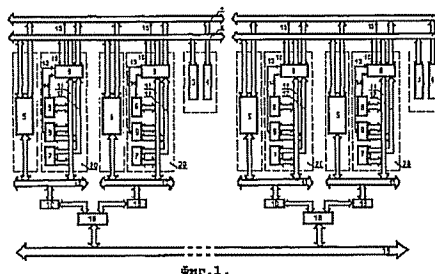
(72) Inventor: Ganaga S.V.,
Gromov D.V., Zajtseva A.L., Nikiforov
A.Ju., Skorobogatov P.K., Chumakov A.I.

(73) Proprietor:
Ehksperimental'noe nauchno-proizvodstvennoe
ob"edinenie "Spetsializirovannye
ehlektronnye sistemy"

(54) **MULTIPROCESSOR DATA PROCESSING SYSTEM**

(57) Abstract:

FIELD: computer engineering. SUBSTANCE:
system has computer modules,
module-to-module exchange bus control
devices, shareable memory units,
input/output control devices, data exchange
controllers, module-to-module exchange
buses, local buses, and asynchronous
fiber-optic interconnecting line for
processor modules. EFFECT: improved speed
and simplified design of system. 2 dwg



RU 2 139 566 C1

RU 2 139 566 C1

Изобретение относится к вычислительной технике, в частности к архитектуре высокопроизводительных многопроцессорных систем обработки данных.

Известно устройство обработки данных для многопроцессорной системы, которая содержит N процессорных модулей, системную шину и M внешних устройств, где N и M целые числа больше единицы. В состав каждого процессорного модуля входят: процессор, локальная память, коммуникационная память, первый и второй коммутаторы, регистр команд, регистр данных, регистр адреса и блок управления [1].

Недостатком такой многопроцессорной системы является уменьшение ее быстродействия при увеличении количества процессорных модулей.

Наиболее близкой к предлагаемому устройству по технической сущности и большому числу совпадающих признаков является многопроцессорная система, содержащая две шины межпроцессорного обмена, два устройства управления этими шинами, N процессорных модулей, где N - число больше единицы, N локальных шин, N блоков общей памяти и N устройств управления вводом-выводом [2].

Каждое устройство управления шинами межпроцессорного обмена имеет одни входы-выходы, которые соединены с первой и второй шинами межпроцессорного обмена соответственно.

Каждый процессорный модуль имеет пять входов-выходов: первая пара - первые и вторые входы-выходы, вторая пара - первый и второй вход-выход линий запроса доступа к шинам межпроцессорного обмена и пятые входы-выходы. Первые и вторые входы-выходы первой и второй пар входов-выходов каждого процессорного модуля соединены соответственно с первой и второй шинами межпроцессорного обмена. Пятые входы-выходы i -го процессорного модуля соединены с i -й локальной шиной, где $i = 1, 2, \dots, N$.

Каждый блок общей памяти имеет трое входов-выходов. Первый и второй входы-выходы каждого блока соединены соответственно с первой и второй шинами межпроцессорного обмена. Третьи входы-выходы i -го блока общей памяти соединены с i -й локальной шиной.

Устройства управления вводом-выводом имеют одни входы-выходы. Входы-выходы i -го устройства управления соединены с i -й локальной шиной.

Каждый процессорный модуль содержит процессор, блок памяти, арбитр доступа к шинам и устройство управления прямым доступом в память. Причем вход-выход обмена процессора соединен через внутреннюю шину с первыми входами-выходами обмена блока памяти и устройства управления прямым доступом в память, внутренним информационным входом-выходом арбитра доступа к шинам и с третьим входом-выходом обмена модуля, вторые входы-выходы обмена блока памяти и устройства управления прямым доступом в память соединены через дополнительную шину с дополнительным входом-выходом арбитра доступа к шинам. Входы-выходы запросов доступа к шинам процессора и устройства управления прямым доступом в

память подключены к соответствующим входам-выходам арбитра доступа к шинам. Входы-выходы запросов доступа к первой и второй шинам межпроцессорного обмена и первый и второй информационные входы-выходы арбитра доступа к шинам образуют первый и второй входы-выходы обмена модуля соответственно.

Работа этой системы состоит в следующем. Загрузка операционной системы производится при инициализации системы либо из устройства управления вводом-выводом, либо из постоянной памяти (одного из блоков общей памяти). С устройством управления вводом-выводом иницируется определенная задача, которая загружается в процессорные модули. При выполнении задачи имеют место обмены данными между отдельными подзадачами, выполняемыми разными процессорными модулями. Такие обмены осуществляются посредством шин межпроцессорного обмена.

Недостатком прототипа является резкое возрастание времени ожидания доступа к шинам межпроцессорного обмена при увеличении количества процессорных модулей N , что приводит к снижению быстродействия устройства.

Система-прототип предназначена для решения задач, сопряженных с немногочисленными обменами данными между отдельными подзадачами, выполняемыми разными процессорными модулями. Другой недостаток прототипа состоит в том, что при увеличении количества процессорных модулей N возрастает время простаивания процессора (без выполнения каких-либо операций) в период ожидания освобождения устройства вследствие синхронного режима работы шин межпроцессорного обмена. Прототип не может быть использован для задач, требующих существенно большего количества таких обменов (тем более, если подобные обмены имеют практически постоянный характер).

Техническим результатом изобретения является повышенное быстродействие системы при наращивании количества процессорных модулей до любого четного числа N больше двух и как следствие расширение класса решаемых задач.

Технический результат изобретения достигается за счет того, что многопроцессорная система обработки данных содержит $N/2$ пар первых и вторых шин межпроцессорного обмена, $N/2$ пар первых и вторых устройств управления шинами межпроцессорного обмена, $N/2$ пар первых и вторых локальных шин, $N/2$ пар первых и вторых процессорных модулей, $N/2$ пар первых и вторых блоков общей памяти, $N/2$ пар первых и вторых устройств управления вводом-выводом, $N/2$ контроллеров обмена данными и асинхронную оптоволоконную межпроцессорную магистраль.

Каждое первое и второе устройство управления шинами межпроцессорного обмена имеет одни входы-выходы. Входы-выходы j -й пары таких устройств, где $j = 1, 2, 3, \dots, N/2$, соединены с первой и второй шинами межпроцессорного обмена j -й пары шин соответственно.

Каждый процессорный модуль имеет пять

входов-выходов: первая пара - первые и вторые входы-выходы, вторая пара - первый и второй вход-выход линий запроса доступа к шинам межпроцессорного обмена и пятые входы-выходы. Первая пара первых и вторых входов-выходов каждого процессорного модуля j-й пары модулей соединены соответственно с первой и второй шинами межпроцессорного обмена j-й пары шин. Вторая пара первого и второго входа-выхода каждого процессорного модуля j-й процессорной пары линий запроса соединены соответственно с первой и второй шинами межпроцессорного обмена j-й пары шин. Пятые входы-выходы первого и второго процессорного модуля j-й процессорной пары модулей соединены соответственно с первой и второй локальными шинами j-й пары локальных шин.

Каждый блок общей памяти имеет трое входов-выходов. Первый и второй входы-выходы первого и второго блока j-й пары таких блоков соединены соответственно с первой и второй шинами межпроцессорного обмена j-й пары таких шин. Третьи входы-выходы j-й пары блоков общей памяти соединены с первой и второй локальной шиной j-й пары таких шин.

Устройства управления вводом-выводом имеют двое входов-выходов. Первые входы-выходы первого и второго устройства управления j-й пары таких устройств соединены соответственно с первой и второй локальными шинами j-й пары таких шин. Вторые входы-выходы первого и второго устройства управления j-й пары таких устройств соединены соответственно с первым и вторым входами-выходами j-го контроллера обмена данными.

Каждый контроллер обмена данными имеет трое входов-выходов. Первая пара входов-выходов j-го контроллера соединены с j-й парой устройств управления вводом-выводом. Третьи входы-выходы каждого контроллера соединены с асинхронной оптоволоконной межпроцессорной магистралью.

В состав каждого процессорного модуля входят процессор, блок памяти, арбитр доступа к шинам межпроцессорного обмена, внутренней и дополнительной шинам, устройство управления прямым доступом в память, внутренняя и дополнительная шины, линии запроса доступа к шинам межпроцессорного обмена и к внутренней и дополнительной шинам устройства управления прямым доступом в память и к внутренней шине процессора, а также линии запроса доступа к первой и второй шинам межпроцессорного обмена.

Отличительными признаками изобретения являются: асинхронная оптоволоконная межпроцессорная магистраль, N/2 контроллеров обмена данными, дополнительные N/2 - 1 пар шин межпроцессорного обмена, N/2 - 1 пар устройств управления шинами межпроцессорного обмена, выполнение устройств управления вводом-выводом со вторыми - дополнительными входами-выходами, а также электрические связи между введенными элементами.

Структурная схема многопроцессорной системы обработки данных и ее работа поясняются чертежами.

На фиг. 1 представлена структурная схема многопроцессорной системы обработки данных.

На фиг. 2 представлена типовая конструкция оптоволоконной межпроцессорной магистрали.

На фигурах введены обозначения:

- 1 - первая межпроцессорная шина обмена;
- 2 - вторая межпроцессорная шина обмена;
- 3 - второе устройство управления шиной 2;
- 4 - первое устройство управления шиной

- 1;
- 5 - блок общей памяти с тремя входами-выходами;
- 6 - процессор;
- 7 - блок памяти;
- 8 - арбитр доступа к шинам 1, 2, 11 и 12;
- 9 - устройство управления прямым доступом в память;
- 10 - устройство управления вводом-выводом с двумя входами-выходами;
- 11 - внутренняя шина;
- 12 - дополнительная шина;
- 13 - линия запроса доступа к шинам 1, 2, 11, 12 устройства управления прямым доступом в память;
- 14 - линия запроса доступа к шинам 1, 2, 11 процессора;
- 15 - линия запроса доступа к шине 1;
- 16 - линия запроса доступа к шине 2;
- 17 - локальная шина;
- 18 - контроллер обмена данными с тремя входами-выходами;
- 19 - асинхронная оптоволоконная межпроцессорная магистраль;
- 20 - процессорный модуль (ПМ) с пятью входами-выходами;
- 21 - трубки с оптическими волокнами;
- 22 - наполненные трубки и междоузлия;
- 23 - диэлектрический упрочняющий элемент;
- 24 - ленты обмотки;
- 25 - полиэтиленовая оболочка.

Шины 1 и 2, внутренняя шина 11, дополнительная шина 12, линии 13, 14, 15, 16 запроса доступа к шинам и локальная шина 17 выполнены на основе полупроводниковой техники [3].

Оптоволоконная межпроцессорная магистраль 19 представляет собой шину, выполненную на основе оптического волокна [4].

Устройства 3 и 4 управления шинами межпроцессорного обмена, блок 5 общей памяти, процессор 6, блок 7 памяти, арбитр 8 доступа к шинам, устройство 9 управления прямым доступом в память, устройство 10 управления вводом-выводом, контроллер 18 обмена данными являются типовыми устройствами электронно-вычислительной техники и могут быть выполнены по известным схемам (см., например [4], [5], [6]).

Оптоволоконная межпроцессорная магистраль 19 представляет собой кабель, выполненный на основе оптических волокон (фиг. 2). Кабель содержит трубки 21 с оптическими волокнами, наполненные трубки 22 и междоузлия, неметаллический упрочняющий элемент 23, ленты обмотки 24 и полиэтиленовую оболочку 25.

Технология изготовления оптоволоконной межпроцессорной магистрали 19 начинается на заводе с момента получения намотанных на катушки оптических волокон с паспортами и результатами измерения затухания.

Результаты измерения записываются в компьютер, поэтому можно сравнить их с параметрами отдельных волокон, находящихся в кабеле. Для изготовления трубок применяется полиизобутилен. Оптические волокна в трубке помещают в кабель при помощи крутильной машины с точным измерением напряжений. Трубки спирально наматываются вокруг центрального упрочняющего элемента и могут разделяться стальной лентой или диэлектрическим материалом. При этом применяется наполнитель и обвивающая лента. Изготовленный таким образом элемент перед заполнением проверяется, что является стандартной операцией при изготовлении кабелей. На первую оболочку накладывается бронировка, для чего применяется неогфрированная стальная лента, а волнообразность получается во время ее укладки. На ленте нанесен полимер, который соединяет внешнюю оболочку с лентой. После чего проводятся измерения параметров кабеля. Оптические волокна соединяются механически или методом сварки. Во всех соединениях основную роль играет перпендикулярность торцов оптических волокон к оси волокон. Для резки торцов используется алмазный прибор.

Многопроцессорная система обработки данных содержит две пары первых и вторых шин 1 и 2 межпроцессорного обмена, две пары первых и вторых устройств 3 и 4 управления шинами межпроцессорного обмена, две пары локальных шин 17, две пары процессорных модулей 20, две пары блоков общей памяти 5, две пары устройств 10 управления вводом-выводом, два контроллера 18 обмена данными и асинхронную оптоволоконную межпроцессорную магистраль 19.

Каждое устройство 3 и 4 управления шинами 1 и 2 межпроцессорного обмена имеет одни входы-выходы. Входы-выходы первого и второго устройств 3 и 4 j-й пары, где j = 1 и 2, соединены с первой и второй шинами 1 и 2 межпроцессорного обмена j-й пары таких шин соответственно.

Каждый процессорный модуль 20 имеет пять входов-выходов: первая пара - первые и вторые входы-выходы, вторая пара - первый и второй вход-выход линий 15 и 16 запроса доступа к шинам межпроцессорного обмена и пятые входы-выходы. Первая пара - первые и вторые входы-выходы j-й процессорной пары соединены с первой и второй шинами 1 и 2 межпроцессорного обмена j-й пары шин. Вторая пара - первый и второй вход-выход j-й процессорной пары линий 15 и 16 запроса доступа к шинам 1 и 2 межпроцессорного обмена соединены с первой и второй шинами межпроцессорного обмена j-й пары шин. Пятые входы-выходы j-й процессорной пары модулей 20 соединены с одной локальной шиной 17 соответствующей j-й пары локальных шин.

Каждый блок 5 общей памяти имеет трое входов-выходов. Первый и второй входы-выходы j-й пары таких блоков соединены с первой и второй шинами 1 и 2 межпроцессорного обмена j-й пары таких шин, а третьи входы-выходы первого и второго блока 5 j-й пары блоков соединены с первой и второй локальными шинами j-й пары таких шин.

Устройства 10 управления вводом-выводом имеют двое входов-выходов. Первые входы-выходы j-й пары таких устройств соединены соответственно с первой и второй локальными шинами 17 j-й пары таких шин. Вторые входы-выходы первого и второго устройства 10 управления вводом-выводом j-й пары таких устройств соединены соответственно с первым и вторым входами-выходами j-го контроллера 18 обмена данными.

Каждый контроллер 18 обмена данными имеет трое входов-выходов. Первая пара входов-выходов j-го контроллера соединены с j-й парой устройств 10 управления вводом-выводом. Третьи входы-выходы каждого контроллера соединены с асинхронной оптоволоконной межпроцессорной магистралью 19.

В состав каждого процессорного модуля входят процессор 6, блок памяти 7, арбитр 8 доступа к шинам 1, 2, 11 и 12, устройство 9 управления прямым доступом в память, внутренняя и дополнительная шины 11 и 12, линии 13 запроса доступа устройства 9 управления прямым доступом в память к шинам 1 и 2 межпроцессорного обмена и к внутренней и дополнительным шинам 11 и 12 и линии 14 запроса доступа процессора к шинам 1, 2 и 11, а также линии 15 и 16 запроса доступа к первой и второй шинам 1 и 2 межпроцессорного обмена.

Предложенная система функционирует следующим образом. При инициализации системы производится загрузка операционной системы либо из устройств 10, либо из постоянной памяти (одного из блоков 5). С устройств 10 инициируется определенная задача, которая догружается в процессорные модули. В процессе выполнения задачи имеют место обмены данными между отдельными подзадачами, выполняемыми разными ПМ, разными парами ПМ 20.

Рассмотрим обмен данными между первым процессорным модулем ПМ₁₁ первой пары процессорных модулей ПМ₁ и блоком 7 второго процессорного модуля ПМ₁₂ этой же пары. Он осуществляется аналогично процессу обмена данными между одним ПМ и блоком 7 любого другого ПМ в системе-прототипе. Процессор 6 или устройство 9 первого ПМ₁₁ обращаются по конкретному адресу в адресном пространстве системы, относящемуся к адресам второго ПМ₁₂, выдавая сигнал о запросе доступа на шины 11 или 12 арбитру 8 по соответствующим линиям 13 и 14. Арбитр 8 первого ПМ₁₁ анализирует каждый адрес при обменах по шинам 1, 2, 11 и 12. Если адрес данных находится за пределами внутренней шины 11, локальной шины 17, то арбитр 8 передает запросы на захват шин 1 и 2 устройствами 3 и 4 по соответствующим линиям 15 и 16. Первое из освободившихся от обменов по шинам 1 и 2 устройство 3 или 4 разрешает захват шины 1 или 2 первому ПМ₁₁. Арбитр 8 предоставляет доступ процессору 6 или устройству 9 к соответствующей шине 1 или 2 по шине 11 или 12, и первый ПМ₁₁ на захваченной шине 1 или 2 организует цикл обращения, в котором на шину 1 или 2 выставляются адрес и данные, поступившие с процессора 6 или устройства 9. Этот адрес анализируется

арбитром 8 второго ПМ₁₂, который организует доступ к указанному адресу в своем адресном пространстве (ячейки памяти блока 7, регистры управления устройства 9, регистры устройства 10) по шине 11 или 12, причем, если обмен направлен к блоку 7, то доступ организуется по дополнительной шине 12, в ином случае - по внутренней шине 11, приостанавливая на время одного обмена работу процессора 6. Если процессор 6 второго ПМ₁₂ обращается для обмена к первому модулю, то производится аналогичная процедура захвата второй шины межпроцессорного обмена 1 или 2 и обращение к памяти первого ПМ₁₁, не замедляя при этом работу процессоров 6 и обеспечивая таким образом "прозрачный" канал обмена данными между двумя ПМ 20 любой из пар.

Аналогичным образом ведется обмен ПМ₁₁ с общей памятью 5, причем, а если блок 5 общей памяти, к которому организуется обращение ПМ₁₁, подключен к локальной шине 17 первого ПМ₁₁, то обмен производится по локальной шине 17, а если блок 5 подключен к локальной шине 17 второго ПМ₁₂, то обмен организуется по шинам 1 или 2. Выбор путей обмена при этом зависит от текущего состояния системы и определяется аппаратными средствами, пользователь имеет дело только с физическими адресами ячеек памяти.

Устройства 3 и 4 равномерно распределяют доступ к шинам 1 и 2 между ПМ 20 каждой пары ПМ. При необходимости обмена между ПМ 20 любой пары или с блоком 5 большими блоками данных используются устройства 9 прямого доступа в память. Процессор 6 задает в регистры устройства 9 начальные адреса в блоке 7 памяти другого источника (блока 7 второго ПМ₁₂ или блока 5), длину блока и дает команду начала передачи. Устройство 9 начинает обмен, используя дополнительную шину 12 для обмена с блоком 7 и внутреннюю шину 11 для доступа к блоку 5 общей памяти по локальной шине 17. Устройство 9 может вести обмен между любыми областями адресов памяти системы, в том числе перемещение массивов данных в блоке 7 памяти или в блоке 5 общей памяти.

Рассмотрим теперь процесс обмена данными между двумя парами процессорных модулей ПМ₁ и ПМ₂. Процессор ПМ₁₁ из первой пары ПМ₁ 6 задает в регистры устройства 9 этого же ПМ₁₁ начальные адреса в блоке 5 общей памяти второго ПМ₂₂ другой пары ПМ₂, длину блока данных и дает команду начала передачи. Устройство 9 ПМ₁₁ обращается по конкретному адресу в адресном пространстве системы, относящемуся к адресам второго ПМ₂₂ второй пары ПМ₂, выдавая сигнал о запросе доступа на шину 11 арбитру 8 по линии 13. Арбитр 8 запрашивающего ПМ₁₁ анализирует указанный адрес и предоставляет доступ к локальной шине 17 устройству 9, которое после этого начинает обмен, выставляя адрес и данные на внутреннюю шину 11 и используя ее для доступа к устройству 10 управления вводом-выводом по локальной шине 17. Из устройства 10 адрес и данные поступают в

контроллер 18 обмена данными (где происходит преобразование электрических сигналов в световые), откуда выставляются на асинхронную оптоволоконную межпроцессорную магистраль 19. Указанный адрес анализируется арбитрами 8 всех ПМ 20 других пар ПМ, а ПМ, которому принадлежит этот адрес, организует доступ к указанному адресу в своем адресном пространстве (ячейки общей памяти 5) через контроллер 18 обмена данными, устройство 10 управления вводами-выводами по локальной шине 17.

Функциональное назначение входов-выходов устройств и блоков системы

Устройства 3 и 4 управления шинами 1 и 2 межпроцессорного обмена имеют одни входы-выходы, которые предназначены для управления шинами.

Процессорные модули 20 имеют по пять входов-выходов. Первая пара - первые и вторые входы-выходы этой пары предназначены для обмена данными арбитров 8 с шинами 1 и 2 межпроцессорного обмена. Вторая пара - первый и второй вход-выход второй пары линий предназначены для запроса доступа к шинам межпроцессорного обмена. Пятые входы-выходы служат для обмена данными с локальными шинами 17.

Блоки 5 общей памяти имеют по трое входов-выходов. Первый и второй входы-выходы служат для обмена данными между этими блоками и шинами 1 и 2 межпроцессорного обмена. Третьи входы-выходы i-го блока общей памяти служат для обмена данными с локальными шинами 17.

Устройства 10 управления вводом-выводом имеют двое входов-выходов, которые предназначены для управления локальными шинами 17 и контроллером 18 обмена данными.

Контроллеры 18 обмена данными имеют трое входов-выходов. Первая пара входов-выходов j-го контроллера предназначена для данных устройств 10 управления вводом-выводом j-й пары. Третьи входы-выходы каждого контроллера служат для передачи данных в асинхронную оптоволоконную межпроцессорную магистраль.

Источники информации:

1. Авторское свидетельство СССР N 1683039, G 06 F 15/16, 1991.

2. Авторское свидетельство СССР N 1436714, G 06 F 15/16, 1990.

3. Хоровиц П., Хилл У. Искусство схемотехники: в 2-х томах, Т.2/Пер. с английского. Изд. 3-е, стереотип.-М.: Мир, 1986, 590 с., ил.

4. Лазерная техника и оптоэлектроника.-1992, в. 3-4, с. 6-8 и 41 - 45.

5. МикроЭВМ. В 8 кн.: Практик. пособие/Под ред. Преснухина. Кн. 3: Семейство ЭВМ "Электроника К1". Кобылинский А.В., Горячев А.В., Сабадаш Н.Г., Проценко В.В., М., Высшая школа, 1988, с. 191, ил.

6. МикроЭВМ: В 8 кн.: Практик. пособие/Под ред. Преснухина. Кн. 5. Персонально - профессиональные ЭВМ. Лопато Г.П., Неменман М.Е., Пыхтин В.Я., Тикменов В.Н. - М.: Высшая школа, 1988, с.143, ил.

Формула изобретения:

Многопроцессорная система обработки данных, содержащая пару шин

межпроцессорного обмена - первую и вторую шины межпроцессорного обмена, пару устройств управления шинами межпроцессорного обмена - первое и второе устройства управления шинами межпроцессорного обмена, N процессорных модулей, где N - целое число больше двух, N блоков общей памяти, N локальных шин и N устройств управления вводом-выводом, каждое устройство управления шинами межпроцессорного обмена имеет один вход-выход, соединенный с соответствующей шиной межпроцессорного обмена, каждый процессорный модуль имеет пять входов-выходов: первая пара - первые и вторые входы-выходы арбитра доступа к шинам межпроцессорного обмена, вторая пара - первый и второй входы-выходы линий запроса доступа к шинам межпроцессорного обмена и пятые входы-выходы, при этом первый и второй входы-выходы первой пары процессорных модулей соединены соответственно с первой и второй шинами межпроцессорного обмена, пятые входы-выходы каждого процессорного модуля соединены с одной локальной шиной, каждый блок общей памяти имеет по три входа-выхода, первый и второй входы-выходы первой пары блоков общей памяти соединены соответственно с первой и второй шинами межпроцессорного обмена, а третьи входы-выходы каждого блока общей памяти соединены с одной локальной шиной, каждое устройство управления вводом-выводом имеет один вход-выход, который соединен с одной локальной шиной,

отличающаяся тем, что в нее введены асинхронная оптоволоконная межпроцессорная магистраль, $N/2 - 1$ пар шин межпроцессорного обмена, где N - четное число, $N/2 - 1$ пар устройств управления шинами межпроцессорного обмена и $N/2$ контроллеров обмена данными, при этом N устройств управления вводом-выводом снабжены вторыми дополнительными входами-выходами, каждый j-й контроллер обмена данными, где $j = 1, 2, \dots, N/2$, имеет три входа-выхода, первые и вторые входы-выходы контроллера соединены с дополнительными входами-выходами первого и второго устройств управления вводом-выводом j-й пары устройств управления вводом-выводом, а все третьи - с асинхронной оптоволоконной межпроцессорной магистралью, входы-выходы первых и вторых устройств управления шинами межпроцессорного обмена введенных $N/2 - 1$ пар устройств управления шинами межпроцессорного обмена соединены соответственно с первыми и вторыми шинами межпроцессорного обмена введенных $N/2 - 1$ пар шин межпроцессорного обмена, первая и вторая пары входов-выходов $N/2 - 1$ пар процессорных модулей соединены с первой и второй шинами межпроцессорного обмена $N/2 - 1$ пар шин межпроцессорного обмена, первые и вторые входы-выходы $N/2 - 1$ пар блоков общей памяти соединены с первой и второй шинами межпроцессорного обмена $N/2 - 1$ пар шин межпроцессорного обмена.

5

10

15

20

25

30

35

40

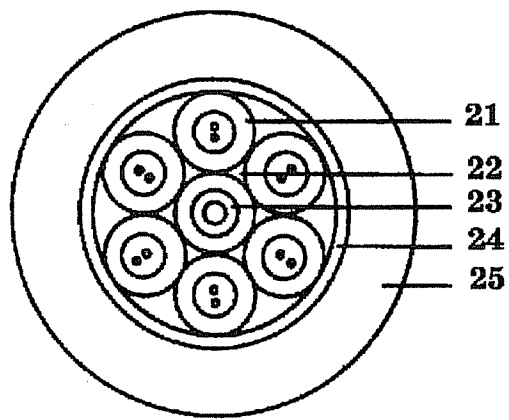
45

50

55

60

RU 2139566 C1



Фиг.2

RU 2139566 C1